-- Пример модуля подавления дребезга 10 мс.

LIBRARY ieee;

USE ieee.std\_logic\_1164.ALL;

USE IEEE.STD\_LOGIC\_ARITH.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

Entity lab2\_example IS

PORT (

RST: IN STD\_LOGIC; --Системный сигнал сброса

CLK: IN STD\_LOGIC; --Сигнал синхронизации

COUNT: IN STD\_LOGIC; --Сигнал кнопки с дребезгом

CNT: OUT STD\_LOGIC --Сигнал кнопки, очищенный от дребезга

);

END lab2\_example;

ARCHITECTURE behavioral OF lab2\_example IS

-- Кодируем состояния в соответствии с вариантом

CONSTANT STATE0: STD\_LOGIC\_VECTOR (1 downto 0) := "11";

CONSTANT STATE1: STD\_LOGIC\_VECTOR (1 downto 0) := "00";

CONSTANT STATE2: STD\_LOGIC\_VECTOR (1 downto 0) := "10";

CONSTANT STATE3: STD\_LOGIC\_VECTOR (1 downto 0) := "01";

-- Состояние автомата в момент времени t

SIGNAL S: STD\_LOGIC\_VECTOR (1 downto 0);

-- Состояние автомата в момент времени t+1

SIGNAL SN: STD\_LOGIC\_VECTOR (1 downto 0);

SIGNAL COUNTER: integer; -- Счетчик 2^20

SIGNAL DLY\_OVF: STD\_LOGIC; -- Сигнал "Завершение счета"

SIGNAL DLY\_EN: STD\_LOGIC; -- Сигнал разрешения работы счетчика

BEGIN

-- Память состояний

FSM\_STATE\_inst: PROCESS (CLK)

BEGIN

IF (CLK='1' and CLK'event) THEN

IF (RST='1') THEN

S <= STATE0;

ELSE

S <= SN;

END IF;

END IF;

END PROCESS;

-- Комбинационная схема для выработки сигналов CNT и DLY\_EN (по индивидуальному варианту)

CNT <= not S(0);

DLY\_EN <= ( not S(0) and not S(1)) or ( not S(1) and S(0));

--Комбинационные схемы для определения следующего состояния (по индивидуальному варианту)

SN(0) <= ((not S(1) and S(0)) or (S(1) and not COUNT) or (S(0) and not COUNT));--пример 1

SN(1) <= ((not S(1) and DLY\_OVF) or ( not COUNT and S(1) and S(0)) or (COUNT and S(1) and not S(0)));

-- Описание счетчика

COUNTER\_inst: PROCESS (CLK)

BEGIN

IF (CLK='1' and CLK'event) THEN

IF (RST='1' or DLY\_EN = '0') THEN

COUNTER <= 0;

ELSE

COUNTER <= COUNTER + 1;

END IF;

END IF;

END PROCESS;

DLY\_OVF <= '1' WHEN COUNTER = 2\*\*20-1 ELSE '0'; --Длительность задержки

END Behavioral;